

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)  
[First Hit](#)



Generate Collection

L2: Entry 43 of 48

File: JPAB

Jun 14, 1994

PUB-NO: JP406169237A ✓  
DOCUMENT-IDENTIFIER: JP 06169237 A  
TITLE: RING OSCILLATOR CIRCUIT

PUBN-DATE: June 14, 1994

## INVENTOR-INFORMATION:

NAME

COUNTRY

HAYASHI, ISAMU

KONDO, HARUFUSA

## ASSIGNEE-INFORMATION:

NAME

COUNTRY

MITSUBISHI ELECTRIC CORP

APPL-NO: JP03234291

APPL-DATE: September 13, 1991

US-CL-CURRENT: 326/32

INT-CL (IPC): H03K 3/03; H03K 3/354; H03L 1/02

## ABSTRACT:

PURPOSE: To make an oscillating frequency of the ring oscillator circuit stable against a change in ambient temperature by allowing a temperature compensation means to control an output current from a constant current supply means in response to the ambient temperature so as to compensate a change in the oscillating frequency.

CONSTITUTION: Resistors R1, R2 connected in series are provided between a constant voltage node N1 and a ground potential point VSS in the ring oscillator circuit 7b. A poly silicon resistor having a negative temperature coefficient is employed for the resistor R2. The resistor R1 has a positive temperature coefficient and further the oscillating frequency from inverters 81-87 connected in cascade in a ring has a negative temperature coefficient and they act like the poly silicon resistor R2 having a negative temperature coefficient. Thus, the oscillating frequency is compensated against a change in ambient temperature, and then a reference clock signal generating circuit having the oscillating frequency not affected by a change in the ambient temperature is formed in a semiconductor substrate.

COPYRIGHT: (C) 1994, JPO&amp;Japio

[Previous Doc](#)   [Next Doc](#)   [Go to Doc#](#)

(11)特許出願公開番号

特開平6-169237

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 K 3/03	D	8124-5 J		
3/354	B	8124-5 J		
H 0 3 L 1/02		8730-5 J		

審査請求 未請求 請求項の数 1 (全 11 頁)

(21)出願番号 特願平3-234291

(22)出願日 平成3年(1991)9月13日

特許法第30条第1項適用申請有り 1991年5月31日 社団法人応用物理学開催の「1991 SYMPOSIUM ON VLSI CIRCUITS DIGEST OF TECHNICAL PAPERS」において文書をもって発表

(71)出願人 000006013  
三菱電機株式会社  
東京都千代田区丸の内二丁目 2 番 3 号

(72)発明者 林 勇  
兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機  
株式会社エル・エス・アイ研究所内

(72)発明者 近藤 晴房  
兵庫県伊丹市瑞原 4 丁目 1 番地 三菱電機  
株式会社エル・エス・アイ研究所内

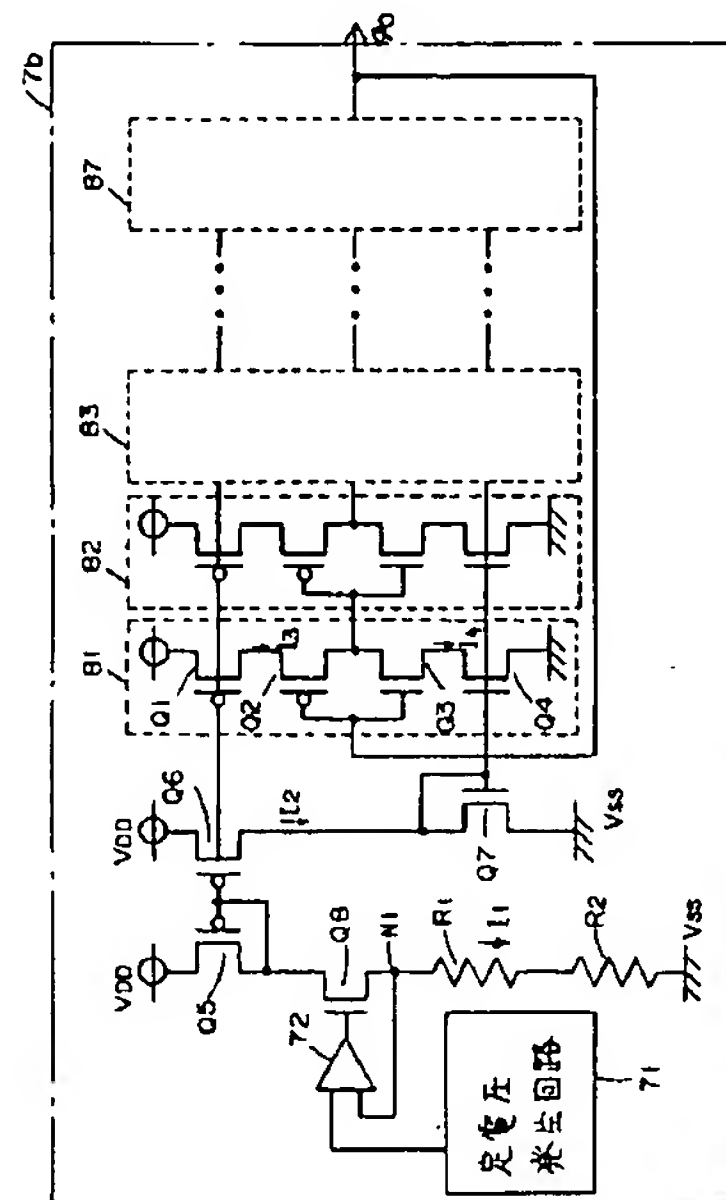
(74)代理人 弁理士 深見 久郎 (外 3 名)

(54)【発明の名称】 リングオシレータ回路

(57) 【要約】

【構成】 半導体基板内に形成され得る改善されたリングオシレータが開示される。このリングオシレータは、リング状にカスケード接続されたインバータと、インバータに供給されるバイアス電流を決定するための正の温度係数を有する拡散抵抗 $R_1$ および負の温度係数を有するポリシリコン抵抗 $R_2$ とを含む。

【効果】 拡散抵抗R1の温度特性および発振器回路自身が有する温度特性に基づいて、発振周波数が周囲温度の上昇に従って低くなろうとするが、ポリシリコン抵抗R2の温度特性によって、発振周波数の変化が補償される。したがって、半導体基板内に、周囲温度の変化により影響されない発振周波数を有する基準クロック信号発生回路が形成され得る。



【特許請求の範囲】

【請求項1】 単一の半導体基板上に形成されたリングオシレータ回路であって、  
リング状にカスケード接続された奇数個のインバータ手段を備えた発振器回路手段を含み、  
前記発振器回路手段は、発振周波数が周囲温度の変化に従って変化され、  
定電圧発生手段と、  
前記定電圧発生手段から発生された定電圧が与えられ、かつ前記発振器回路手段に定電流を供給する定電流供給手段とを含み、  
前記定電流供給手段に接続され、周囲温度にตอบสนองして、前記定電流供給手段からの出力電流を制御することにより、前記発振器回路手段の発振周波数の変化を補償する温度補償手段を含む、リングオシレータ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、一般に単一の半導体基板上に形成されたリングオシレータ回路に関し、特に、周囲温度の変化による影響を受けにくいリングオシレータ回路に関する。

【0002】

【背景の技術】一般に、基準クロック信号を発生するための発振器回路は、様々な電気回路を実現するのに広く用いられている。特に、水晶振動子を含む水晶発振回路は、極めて安定した一定の周波数を有するクロック信号を発生できるので、従来から頻りに用いられている。しかしながら、水晶発振回路は、半導体基板上に形成することができないので、プリント基板を介して半導体集積回路装置に接続される。このことは、回路を構成するのに要する部品点数の増加を生じさせ、さらには、部品の取付け作業に要する時間を増加させる。したがって、従来から、安定した一定の発振周波数を有する発振回路を半導体基板上に設けること、すなわちオンチップオシレータを形成することが要求されていた。

【0003】しかしながら、一般にオンチップオシレータの発振周波数は、不安定であり、特に、周囲温度の変化の影響が避けられなかった。それゆえに、部品点数の増加および取付け作業時間の増加にもかかわらず、従来から水晶発振回路は、プリント基板上に取付けられ、それを介して半導体集積回路装置に接続されていた。

【0004】この発明は、安定した発振周波数を有するクロック信号を必要とする半導体集積回路装置に一般に適用可能であるが、以下の説明では、半導体集積回路装置の一例として、サービス統合デジタル網（ISDN）におけるインタフェースLSIにこの発明が適用される場合について説明する。

【0005】図10は、ISDNのための従来のインタフェースLSIのブロック図である。図10を参照して、このインタフェースLSIは、受信データ信号D

Rを受けるレシーバ2と、受信データおよび送信データのフレーム変換を行なうためのフレーム変換器4と、送信データ信号DTを出力するためのドライバ5とを含む。フレーム変換器4は、ISDNにおける上位の回路（図示せず）に接続される。

【0006】デジタル・フェーズ・ロックド・ループ（以下「DPLL」という）3は、受信データ信号DRに同期したクロック信号φ1を受ける。外部に設けられた水晶発振器（図示せず）から発生された基準クロック信号φ0がDPLL3に与えられる。DPLL3は、基準クロック信号φ0をクロック信号φ1に同期させ、同期されたクロック信号φ2を出力する。言い換えると、DPLL3は、受信データ信号DRに同期したクロック信号φ2を発生し、それをフレーム変換器4およびコントローラ6に与える。フレーム変換器4は、与えられたクロック信号φ2にตอบสนองして、データの順序およびデータ転送速度の変換などを行なう。コントローラ6は、クロック信号φ2にตอบสนองして、このインタフェースLSIの内部回路を制御するのに必要な様々なクロック信号を発生する。なお、参照番号1は、半導体基板をも示しており、インタフェースLSIのための全回路がこの基板上に形成される。基準クロック信号φ0を発生するクリスタル発振器は、インタフェースLSIとは別に設けられており、図示されていないプリント基板を介してこのインタフェースLSIに接続されることが指摘される。

【0007】図11は、図10に示したDPLL3のブロック図である。図11を参照して、このDPLL3は、クロック信号φ1およびφ2間の位相における誤差を検出する位相検出器31と、位相検出器31から出力される誤差信号ERを受けるデジタルフィルタ32と、デジタルフィルタ32から出力される分周比制御信号RCにตอบสนองしてその分周比が制御される制御可能分周器33とを含む。

【0008】動作において、制御可能分周器33は、基準クロック信号φ0を受け、分周器制御信号RCにตอบสนองして周波数が制御されたクロック信号φ2を出力する。位相検出器31は、クロック信号φ1およびφ2の位相差を検出し、その位相差を示す誤差信号ERをデジタルフィルタ32に与える。デジタルフィルタ32は、誤差信号ERに含まれる極めて微小な信号成分を取除いた後、誤差信号ERに基づく分周比制御信号RCを制御可能分周器33に与える。制御可能分周器33は、その分周比が分周比制御信号RCにตอบสนองして制御され、更新された周波数を有するクロック信号φ2を出力する。

【0009】図10に示したインタフェースLSIは、基準クロック信号φ0を発生するための基準クロック信号発生回路を備えていないので、前述のように部品点数の増加および取付け作業時間における不都合が生じている。これらの不都合をさけるためには、基準クロッ

ク信号発生器を備えたインタフェースLSIが好ましい。

【0010】図12は、基準クロック信号発生器を備えたインタフェースLSI1'のブロック図である。図12を参照して、図10に示したものと比較すると、インタフェースLSI1'は、基準クロック信号φ0を発生する内部クロック信号発生器7を新たに備えている。すなわち、内部クロック信号発生器7は、インタフェースLSI1'を構成する他の回路とともに、半導体基板内に形成される。半導体基板内に形成され得るクロック信号発生器7として、発振周波数がやや不安定ではあるが、リング状にカスケード接続された奇数個のインバータを備えたリングオシレータがしばしば用いられる。しかしながら、リングオシレータの発振周波数は、安定しておらず、特に、周囲温度の変化により影響を受けやすい。すなわち、リングオシレータの発振周波数が周囲温度の変化にしたがって変化される。このことは、図12に示されるような安定した基準クロック信号を必要とする回路において好ましくない結果をもたらす。したがって、周囲温度の変化によって影響されにくいリングオシレータ回路を半導体基板内に形成する必要があることが指摘される。

【0011】図13は、従来の改善されたリングオシレータの回路図である。図13に示したリングオシレータは、特開昭57-97218号公報に開示されている。図13を参照して、このリングオシレータは、リング状にカスケード接続されたインバータ201ないし205と、各2つのインバータ間に接続されたRC回路401ないし405と、定電圧源107とを含む。各RC回路は、それに続いて接続されたインバータの入力を充電および放電するのに要する時間を決定する。言い換えると、RC回路401ないし405の時定数によって、このリングオシレータの発振周波数が決定される。

【0012】各RC回路401ないし405内に設けられた抵抗として、半導体基板内に形成された拡散抵抗が用いられる。一般に、拡散抵抗およびMOSトランジスタのオン抵抗は、正の温度係数を有している。言い換えると、これらの抵抗値は、周囲温度が高くなるにつれて、増加される。したがって、リングオシレータの発振周波数は、周囲温度が高くなるにつれて減少される。すなわち、リングオシレータの発振周波数は負の温度係数\*

$$I_1 = V_{N1} / R_1$$

トランジスタQ5のゲート幅およびゲート長をW5、L5とし、トランジスタQ6のゲート幅およびゲート長をW6、L6とすると、このカレントミラー回路が1、1※

$$W_5 / L_5 = W_6 / L_6$$

したがって、

$$I_1 = I_2$$

ここで、I2はトランジスタQ6を流れる電流の電流値を示す。

\*を有している。しかしながら、図13に示したリングオシレータは、負の温度係数を有する抵抗301を含むRC回路404を備えているので、周囲温度の変化による発振周波数への影響を緩和することができる。負の温度係数を有する抵抗301として、ポリシリコン抵抗が用いられる。

【0013】しかしながら、図13に示したリングオシレータは、次のような問題を引き起こしている。まず、発振周波数を決定するためのRC回路401ないし405が、カスケード接続されたインバータのリング内に接続されているので、高い発振周波数を得ることができない。高い発振周波数をえるためには、各RC回路401ないし405の抵抗値および容量値を小さくする必要があるが、前述の温度補償を実現するためにはそれらをあまりに小さく設定することはできない。高い発振周波数を有するクロック信号を発生することのできるリングオシレータとして、以下に説明するリングオシレータを考えることができる。

【0014】図2は、この発明の背景を示すリングオシレータの回路図である。図2を参照して、このリングオシレータ7aは、リング状にカスケード接続された7個のインバータ81ないし87と、PMOSTランジスタQ5およびQ6、MNOSTランジスタQ7およびQ8、オペアンプ72および抵抗R1によって構成されたバイアス回路と、定電圧発生回路71とを含む。1つのインバータ、たとえばインバータ81は、電源電位VDDと接地電位VSSとの間に直列に接続されたPMOSTランジスタQ1、Q2およびMNOSTランジスタQ3、Q4を含む。トランジスタQ2およびQ3は、ゲートが前段のインバータ（すなわちインバータ87）からの出力信号を受けるように接続される。

【0015】次に、図2に示したリングオシレータ7aの動作について説明する。トランジスタQ8および抵抗R1の共通接続ノードN1は、オペアンプ72およびトランジスタQ8の作用により、定電圧発生回路71から発生された一定の電圧に常に保たれている。したがって、抵抗R1が有する抵抗値によって決定される電流I1が、抵抗R1を介して流れる。すなわち、ノードN1における電圧をVN1とし、抵抗R1の抵抗値をR1とすると、電流I1は次式により表わされる。

【0016】

$$\dots (1)$$

※の電流比を有するものと仮定すると、次式が得られる。

【0017】

$$\dots (2)$$

$$\dots (3)$$

★【0018】さらに、トランジスタQ1、Q4およびQ7のゲート幅およびゲート長をそれぞれW1、L1、W



4.  $L_4$ ,  $W_7$ ,  $L_7$ とすると、次の式(4)および(5)が成り立つとき、式(6)の関係が得られる。 \*

$$W_1/L_1 = W_6/L_6$$

$$W_4/L_4 = W_7/L_7$$

$$I_3 = I_4 = I_2 (= I_1)$$

ここで、電流  $I_3$  および  $I_4$  は、トランジスタ  $Q_1$  および  $Q_4$  をそれぞれ流れる電流の電流値を示す。

【0020】一般に、リングオシレータの発振周波数は、電流  $I_3$  および  $I_4$  が大きくなるにつれて高くなる。すなわち、リングオシレータの発振周波数は、個々のインバータに供給される電流の増加に従って高くなる。その理由は、個々のインバータに供給される電流が増加されると、それに続いて接続されるインバータの入力ノードの充電および放電に要する時間が短縮されるからである。他方、もし、供給電流が減少されると、それに続くインバータの入力ノードを充電および放電するのにより長い時間を要し、発振周波数が低くなる。したがって、まず、リングオシレータの発振周波数は、供給電流  $I_3$  および  $I_4$  (さらには  $I_2$  および  $I_1$ ) に比例して高くなることが指摘される。

【0021】

【発明が解決しようとする課題】図2に示した抵抗  $R_1$  として、一般には半導体基板内に形成された拡散抵抗が用いられる。拡散抵抗として、たとえば  $p^+$  拡散抵抗が用いられる場合では、抵抗  $R_1$  は図3に示す温度特性を有する。

【0022】図3は、抵抗  $R_1$  として用いられる  $p^+$  拡散抵抗の温度特性図である。図3において、横軸は周囲温度 ( $^{\circ}C$ ) を示し、縦軸がシート抵抗 ( $\Omega/\square$ ) を示す。図3からわかるように、拡散抵抗の抵抗値は、周囲温度の増加に伴って大きくなる。言い換えると、拡散抵抗は、正の温度係数を有する。したがって、拡散抵抗が図2に示した抵抗  $R_1$  として用いられる場合では、電流  $I_1$  は、周囲温度が上昇するにつれて減少される。言い換えると、電流  $I_1$ 、さらにはバイアス電流  $I_2$ ,  $I_3$  および  $I_4$  は、負の温度係数を有する。

【0023】その結果、リングオシレータの発振周波数は、バイアス電流の減少により温度の上昇に従ってだんだん低くなる。言い換えると、リングオシレータの発振周波数は、抵抗  $R_1$  の温度特性に基づいて負の温度係数を有することになる。

【0024】これに加えて、リングオシレータの発振周波数は、リング状にカスケードされたインバータが有する温度特性に基づいても、温度の上昇に従ってだんだん低くなることが指摘される。図4は、リング状にカスケード接続されたインバータによって構成された発振回路の発振周波数の温度特性を示す特性図である。図4では、バイアス電流、すなわち電流  $I_3$  および  $I_4$  が固定されている。一般に、MOSトランジスタのオン抵抗は、周囲温度の上昇に従って増加される。したがって、

\*【0019】

... (4)

... (5)

... (6)

※バイアス電流が一定であっても、リングオシレータを構成するインバータを介して流れる電流が減少されることになる。その結果、図4に示されるように、発振周波数は、温度の上昇に従って低くなる。このことは、リングオシレータの発振周波数が、抵抗  $R_1$  の温度特性に基づくだけでなく、インバータ自身が有する温度特性に基づいてもだんだん低くなることを意味する。いずれにしても、リングオシレータの発振周波数は、抵抗  $R_1$  の温度特性およびインバータ自身が有する温度特性に基づいて、負の温度係数を有することになる。

【0025】すでに説明したように、リングオシレータが基準クロック信号発生回路として半導体集積回路において半導体集積回路装置に用いられる場合では、発振周波数が一定に保たれることが好ましい。すなわち、リングオシレータの発生周波数が周囲温度の変化により影響されるべきではない。しかしながら、図2に示したリングオシレータ7aの発振周波数は、前述のように、温度の上昇に従って低くなる。このことが図2に示したリングオシレータ7aを用いる場合における問題となっていた。

【0026】この発明は、上記のような課題を解決するためになされたもので、単一の半導体基板内に形成されるリングオシレータ回路の発振周波数を周囲温度の変化に対し安定に保つことである。

【0027】

【課題を解決するための手段】この発明にかかるリングオシレータ回路は、リング状にカスケード接続された奇数個のインバータ手段を備えた発振器回路手段を含む。この発振器回路手段は、発振周波数が周囲温度の変化に従って変化される。リングオシレータ回路は、さらに、定電圧発生手段と、定電圧発生手段から発生された定電圧が与えられ、かつ発振器回路手段に定電流を供給する定電流供給手段と、周囲温度にตอบสนองして、定電流供給手段からの出力電流を制御することにより、発振器回路手段の発振周波数の変化を補償する温度補償手段とを含む。上記構成を有するリングオシレータ回路は、単一の半導体基板上に形成される。

【0028】

【作用】この発明におけるリングオシレータ回路では、発振器回路手段の発振周波数が周囲温度の変化にしたがって変化されようとするが、温度補償手段が周囲温度にตอบสนองして定電流供給手段からの出力電流を制御し、発振周波数の変化が補償される。したがって、リングオシレータ回路の発振周波数が周囲温度の変化に対し安定に保たれる。

【0029】

【実施例】図1は、この発明の一実施例を示すリングオシレータの回路図である。図1を参照して、リングオシレータ回路7bは、定電圧ノードN1と接地電位Vssとの間に抵抗R1とともに直列に接続された抵抗R2を備えている。抵抗R2として、負の温度係数を有するポリシリコン抵抗が用いられる。抵抗R2を除く他の回路構成は、図2に示したリングオシレータ7aと同様であるので、説明が省略される。

$$I_2 = I_1 = V_{N1} / (R_1 + R_2) \quad \dots (7)$$

今、ある基準温度T<sub>0</sub>における抵抗R1およびR2の抵抗値をそれぞれR1<sub>0</sub>、R2<sub>0</sub>とする。これに加えて、抵抗R1の値R1<sub>0</sub>に対する温度変化率関数をf(T)※

$$R_1(T) = R_{10} \cdot f(T) \quad \dots (8)$$

$$R_2(T) = R_{20} \cdot g(T) \quad \dots (9)$$

式(8)および(9)を式(7)に代入することにより、次の式(10)が得られる。

$$I_2 = V_{N1} / (R_{10} \cdot f(T) + R_{20} \cdot g(T)) \quad \dots (10)$$

温度Tでの電流I<sub>2</sub>(T)の温度変化率関数をh(T)

とし、温度T<sub>0</sub>でのI<sub>2</sub>(T<sub>0</sub>)の値をI<sub>20</sub>とする

$$h(T) = I_2 / I_{20} \quad \dots (11)$$

$$I_{20} = V_1 / (R_{10} + R_{20}) \quad \dots (12)$$

式(10)および(11)より、次の式(13)が得られる。

$$h(T) = (R_{10} + R_{20}) / (R_{10} \cdot f(T) + R_{20} \cdot g(T)) \quad \dots (13)$$

したがって、たとえば、f(T)が単調増加関数を示し、かつg(T)が単調減少関数を示すような材質を抵抗R1およびR2にそれぞれ適用することにより、電流I<sub>2</sub>の温度変化率関数h(T)を単調増加関数または単調減少関数のいずれかに選択的に設定することが可能となる。

【0037】図2に示したリングオシレータ7aでは、前述のように、抵抗R1の温度特性およびインバータ81ないし87自身が有する温度特性により、発振周波数が負の温度係数を有する。したがって、電流I<sub>2</sub>の温度\*

$$\frac{\partial F(I_2(T), T)}{\partial T} = -4.8 \quad \dots (14)$$

【0040】図6は、図1に示したリングオシレータ7bのバイアス電流I<sub>2</sub>と発振周波数との関係を示す特性図である。図6を参照して、横軸がバイアス電流(μA)を示し、縦軸は発振周波数(MHz)を示す。図6に示した特性図より、発振周波数F(I<sub>2</sub>(T), T)※

$$\frac{\partial F(I_2(T), T)}{\partial I_2} = 8.6 \quad \dots (15)$$

【0042】したがって、周波数Fが温度Tに対して一定になるためには、次の式(16)が成り立つ必要がある。

\*【0030】図5は、図1に示した抵抗R2として用いられるポリシリコン抵抗の温度特性図である。図5を参照して、横軸は温度(℃)を示し、縦軸がシート抵抗(Ω/□)を示す。

【0031】図1に示したリングオシレータ7bでは、抵抗R1およびR2がノードN1と接地電位Vssとの間に直列に接続されているので、次式の関係が成り立つ。

【0032】

※とし、抵抗R2の値R2<sub>0</sub>に対する温度変化関数をg(T)とすると、次式の関係が得られる。

【0033】

★【0034】

☆と、次のような関係が得られる。

☆20 【0035】

◆【0036】

\*変化率関数h(T)が単調増加関数である必要があり、したがって、抵抗R2として負の温度係数を有するポリシリコン抵抗が用いられる。

【0038】抵抗R1とR2との比を決定するためには、図5に示した温度特性図を考慮する必要がある。電流I<sub>2</sub>が一定であると仮定すると、発振周波数F(I<sub>2</sub>(T), T)の温度依存性は、図4から次のように与えられる。

【0039】

【数1】

※の電流I<sub>2</sub>に対する依存性は、一次近似により次式により得られる。

【0041】

【数2】

★【0043】

【数3】

(6)

特開平6-169237

$$\frac{dF(I_2(T), T)}{dT} = \frac{\partial F}{\partial I_2} \cdot \frac{dI_2}{dT} + \frac{\partial F}{\partial T} = 0 \quad (10)$$

…(10)

【0044】その結果、式(14)、(15)および  
(16)より、次の式(17)が得られる。

$$\frac{dI_2(T)}{dT} = 0.56 \quad (17)$$

【0046】式(17)が満足されるとき、発振周波数  
Fは温度Tの変化に影響されなくなる。

【0047】以下k 載では、ある温度Tcを中心とし  
て発振周波数Fが一定となるように抵抗R1およびR2  
を決定する方法について説明する。

【0048】まず、温度Tcにおいて、リングオシレー※

$$I_2(T_c) = VN1 / (R1(T_c) + R2(T_c)) \quad (18)$$

ここで、R1(Tc)およびR2(Tc)は、それぞれ  
温度Tcにおける抵抗R1およびR2の抵抗値を示す。

【0050】次に、発振周波数Fが一定となるために

$$\frac{dI_2(T)}{dT} = \frac{d}{dT} \left[ \frac{VN1}{(R1(T) + R2(T))} \right]$$

$$= - \frac{VN1 \left( \frac{dR1(T)}{dT} + \frac{dR2(T)}{dT} \right)}{(R1(T) + R2(T))^2} = 0.56$$

…(18)

【0052】したがって、周囲温度TがTcであると  
き、式(18)は次の式により表わされる。

30 ☆ 【0053】  
☆ 【数6】

(7)

特開平6-169237

$$\begin{aligned}
 & \frac{I_1}{dI_2(T)} \bigg|_{T=T_c} \\
 & = - \frac{VN_1 \left( \frac{dR_1(T)}{dT} \bigg|_{T=T_c} + \frac{dR_2(T)}{dT} \bigg|_{T=T_c} \right)}{(R_1(T_c) + R_2(T_c))^2} \\
 & \therefore - \frac{VN_1 \left( \frac{dR_1(T)}{dT} \bigg|_{T=T_c} + \frac{dR_2(T)}{dT} \bigg|_{T=T_c} \right)}{(R_1(T_c) + R_2(T_c))^2} \\
 & = 0.56 \quad \dots (19)
 \end{aligned}$$

【0054】ここで、抵抗 $R_1(T)$ および $R_2(T)$ は、それぞれ次の式により与えられる。\*【0055】

$$R_1(T) = X \cdot r_1(T) \quad \dots (20)$$

$$R_2(T) = Y \cdot r_2(T) \quad \dots (21)$$

ここで、 $r_1(T)$ および $r_2(T)$ は、抵抗 $R_1$ および $R_2$ のシート抵抗を示す。※り、式(24)が得られる。

【0056】したがって、次の式(22)および(23)が得られ、式(18)、(20)および(21)より【0057】  
【数7】

$$\frac{dR_1(T)}{dT} = \frac{dr_1(T)}{dT} \quad \dots (22)$$

$$\frac{dR_2(T)}{dT} = \frac{dr_2(T)}{dT} \quad \dots (23)$$

$$X \cdot r_1(T_c) + Y \cdot r_2(T_c) = \frac{VN_1}{I_2(T_c)} \quad \dots (24)$$

【0058】式(18)、(19)、(22)および(23)より次式が得られる。★【0059】  
★【数8】

$$\frac{V_1 \left( X \cdot \frac{dr_1(T)}{dT} \bigg|_{T=T_c} + Y \cdot \frac{dr_2(T)}{dT} \bigg|_{T=T_c} \right)}{(V_1 / I_2(T_c))^2}$$

$$= -0.56 \quad \dots (25)$$

【0060】式(25)において、周囲温度 $T_c$ での $dr_1(T)/dT$ および $dr_2(T)/dT$ は、温度 $T_c$ におけるシート抵抗 $r_1(T)$ および $r_2(T)$ の傾きであるから、これらは図3および図5の温度特性を☆参照することにより得られる。

【0061】したがって、式(24)および(25)の連立方程式を解くことにより、抵抗値 $R_1(T)$ および $R_2(T)$ が求められる。



【0062】図7は、温度補償されたリングオシレータ7bの温度特性図である。図7を参照して、横軸は周囲温度T(°C)を示し、縦軸が発振周波数F(MHz)およびバイアス電流I2(μA)を示す。曲線C1は、温度補償されたバイアス電流I2の温度依存性を示す。一方、曲線C2は、温度補償された発振周波数Fの温度依存性を示す。曲線C3は、参考のため、温度補償されていない発振周波数の温度依存性を示している。曲線C2およびC3を比較することにより、発振周波数Fが周囲温度Tの変化により影響されにくくなっていることがわかる。

【0063】図8は、半導体基板上に形成された抵抗R1およびR2の断面構造図である。図8を参照して、Pウェル41およびNウェル42がP型シリコン基板40内に形成される。抵抗R1として用いられるp+拡散抵抗43がNウェル42内に形成される。抵抗R2として用いられるポリシリコン抵抗45は、素子分離のためのLOCOS47上に形成される。ポリシリコン抵抗45は、アルミ配線44を介して拡散抵抗43に接続される。

【0064】図8に示したポリシリコン抵抗45に図5に示した温度特性を与えるためには、ポリシリコンに次のような処理を施す必要がある。

【0065】まず、ドーズ量 $5.0 \times 10^{15} \text{ cm}^{-2}$ を有するひ素Asが50KeVの加速電圧でポリシリコンにイオン注入される。その後、アニール処理が温度800°Cでチッソ雰囲気中で30分かつ酸素雰囲気中で30分間行なわれる。その結果、図5に示した温度特性を有するポリシリコン抵抗が得られる。

【0066】図9は、図1に示した定電圧発生回路71の回路図である。図9に示した定電圧発生回路71は、バンドギャップ参照バイアス型のものであり、この回路についての詳細は、“ANALYSIS OF DESIGN OF ANALOG INTEGRATED CIRCUITS”と題されたP. R. GRAY およびR. G. MEYERによるテキストブックに開示されている。したがって、図9に示した定電圧発生回路71は、周囲温度に依存することのない安定した定電圧を発生することができる。図1に示したリングオシレータ7b内の定電圧発生回路71として、図9に示した回路に限られず、他の回路も適用され得ることが指摘される。

【0067】以上に説明したように、図1に示した抵抗R1が図3に示すような正の温度係数を有しており、これに加えて、リング状にカスケードされたインバータ81ないし87発振周波数が図4に示すような負の温度係数を有しているが、図5に示すような負の温度係数を有するポリシリコン抵抗を抵抗R2として適用することにより、発振周波数を周囲温度の変化に対し安定化させることができる。すなわち、すでに説明したような関係を

有する拡散抵抗およびポリシリコン抵抗を図1に示したリングオシレータ7b内の抵抗R1およびR2としてそれぞれ適用することにより、図7における曲線C2により表わされるような安定した発振周波数の温度特性が得られる。

【0068】その結果、温度の変化に対し安定した発振周波数を有するクロック信号発生回路、すなわちリングオシレータが半導体基板内に形成され得るので、従来のようなクリスタル発振器が必要とならない。したがって、部品点数が減少され、プリント回路基板への部品の取付け作業に要する時間が減少される。

【0069】

【発明の効果】以上のように、この発明によれば、周囲温度に応答して、発振器回路手段に供給される電流を制御する温度補償手段を設けたので、単一の半導体基板内に形成されたリングオシレータ回路の発振周波数を周囲温度の変化に対し安定に保つことが可能となった。

【図面の簡単な説明】

【図1】この発明の一実施例を示すリングオシレータの回路図である。

【図2】この発明の背景を示すリングオシレータの回路図である。

【図3】図1に示した抵抗R1として用いられる拡散抵抗の温度特性図である。

【図4】リング状にカスケード接続されたインバータによる発振周波数の温度特性を示す特性図である。

【図5】図1に示した抵抗R2として用いられるポリシリコン抵抗の温度特性図である。

【図6】図1に示したリングオシレータにおけるバイアス電流と発振周波数の関係を示す特性図である。

【図7】温度補償されたリングオシレータの温度特性図である。

【図8】半導体基板上に形成された拡散抵抗およびポリシリコン抵抗の断面構造図である。

【図9】図1に示した定電圧発生回路の回路図である。

【図10】ISDNのための従来のインタフェースLSIのブロック図である。

【図11】図10に示したDPLLのブロック図である。

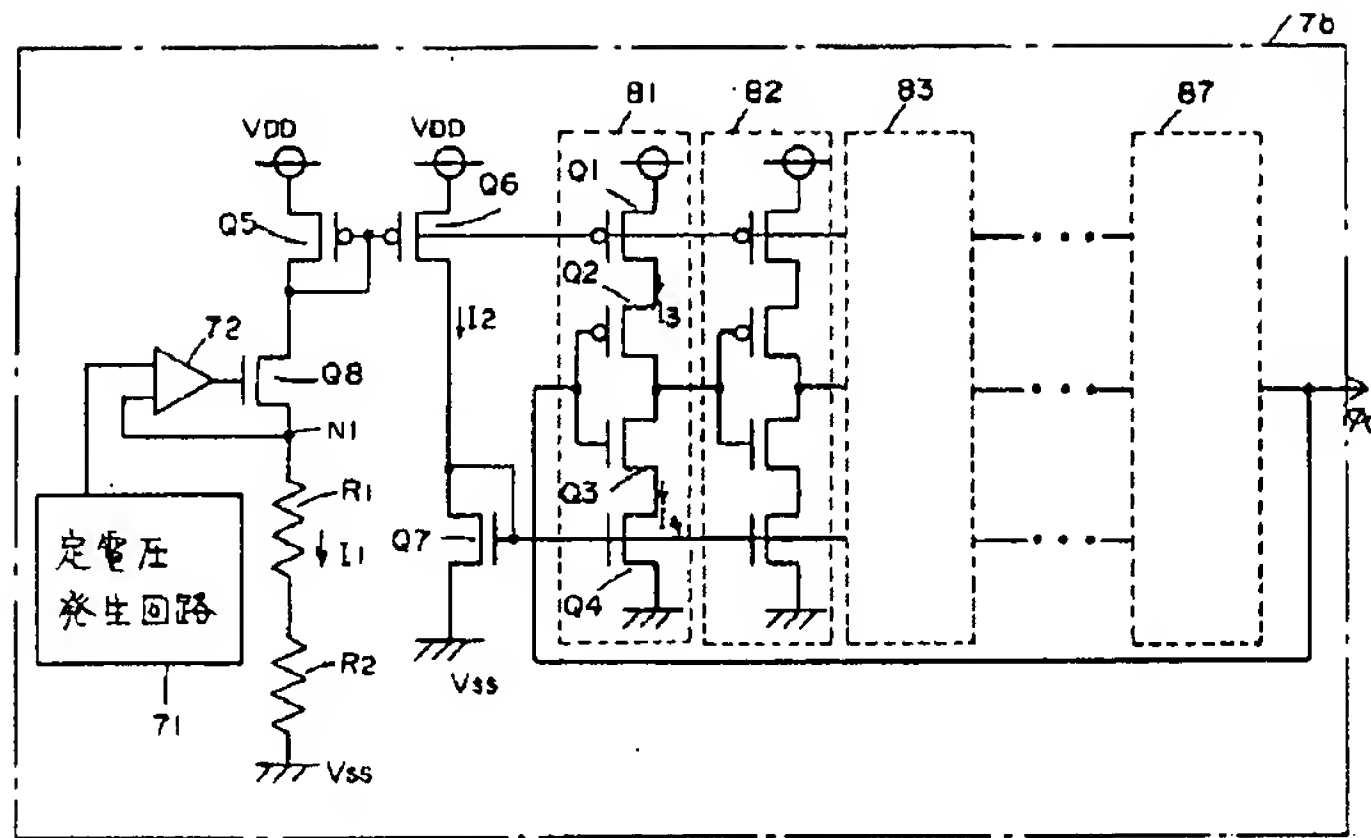
【図12】内部基準クロック信号発生器を備えたインタフェースLSIのブロック図である。

【図13】従来のリングオシレータの回路図である。

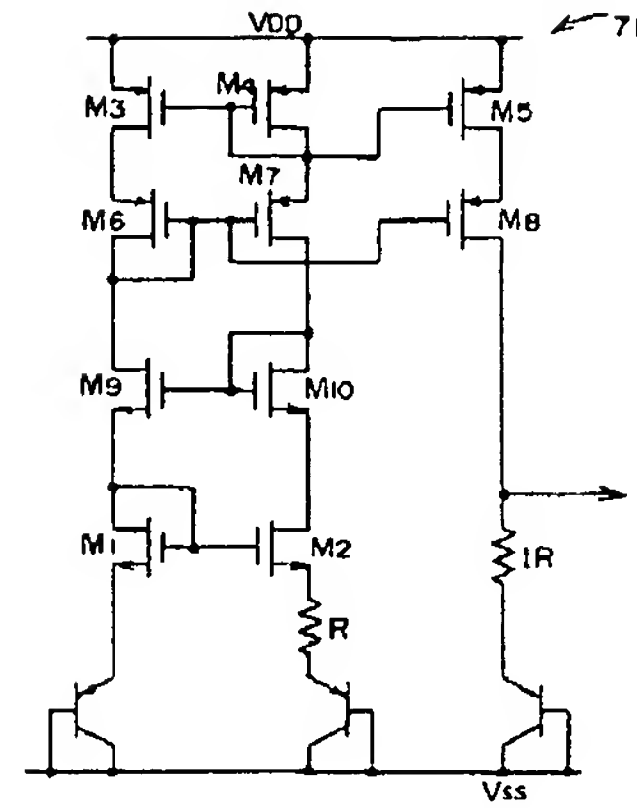
【符号の説明】

7b リングオシレータ  
71 定電圧発生回路  
72 オペアンプ  
R1 拡散抵抗  
R2 ポリシリコン抵抗

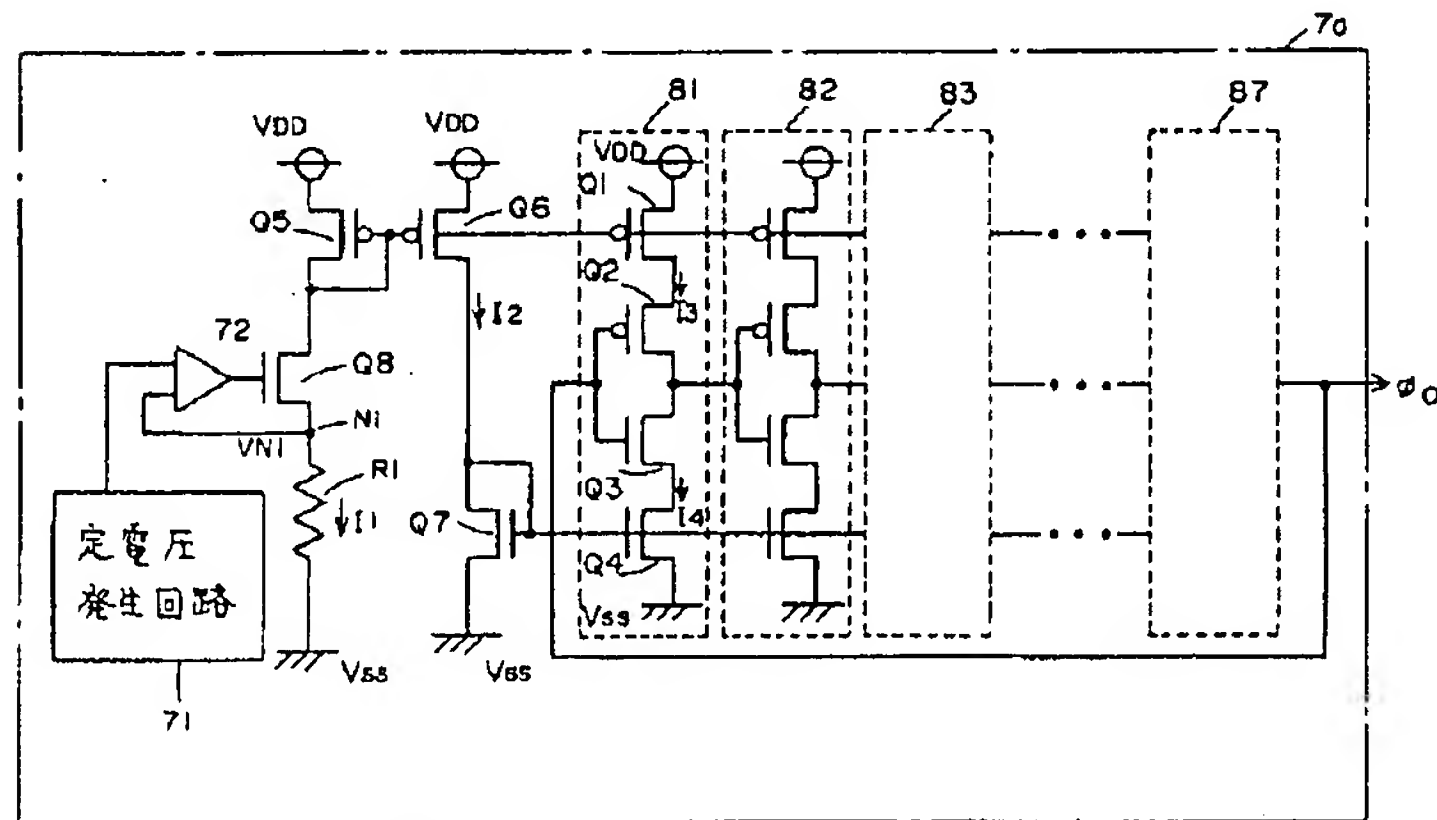
【図1】



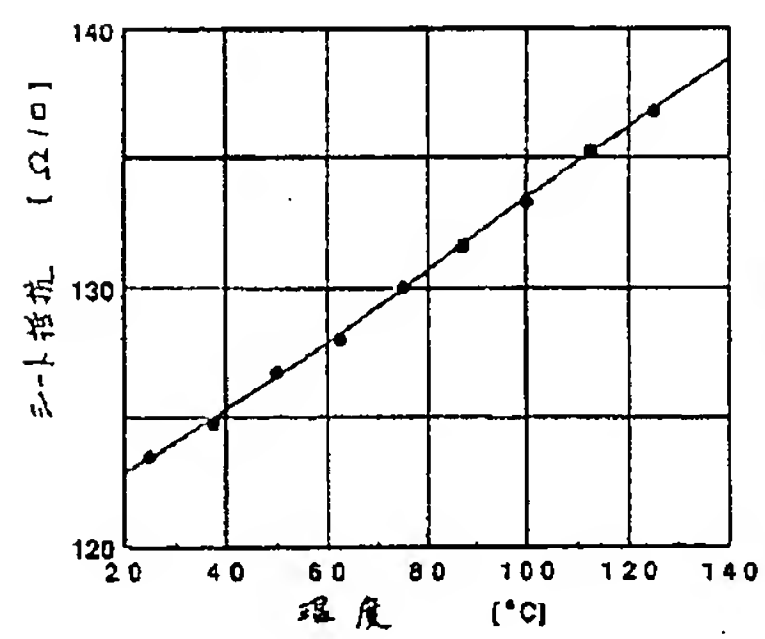
【図9】



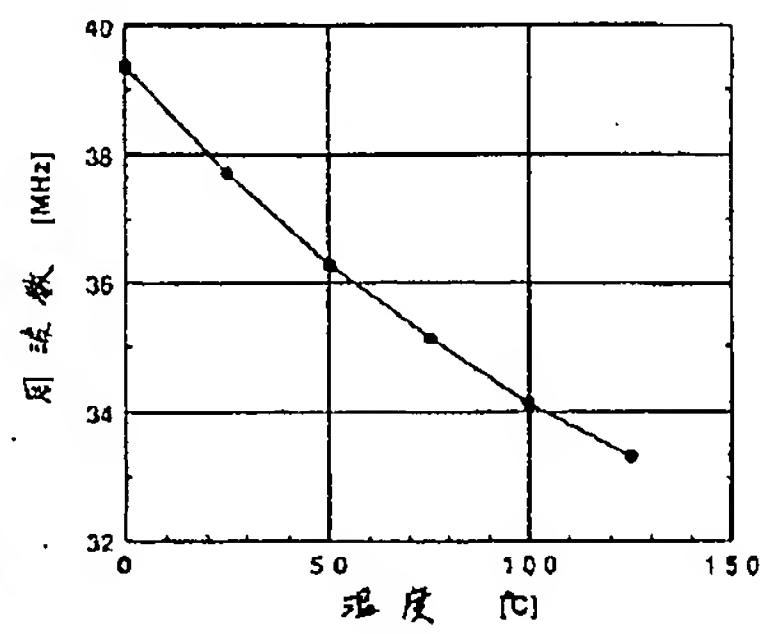
【図2】



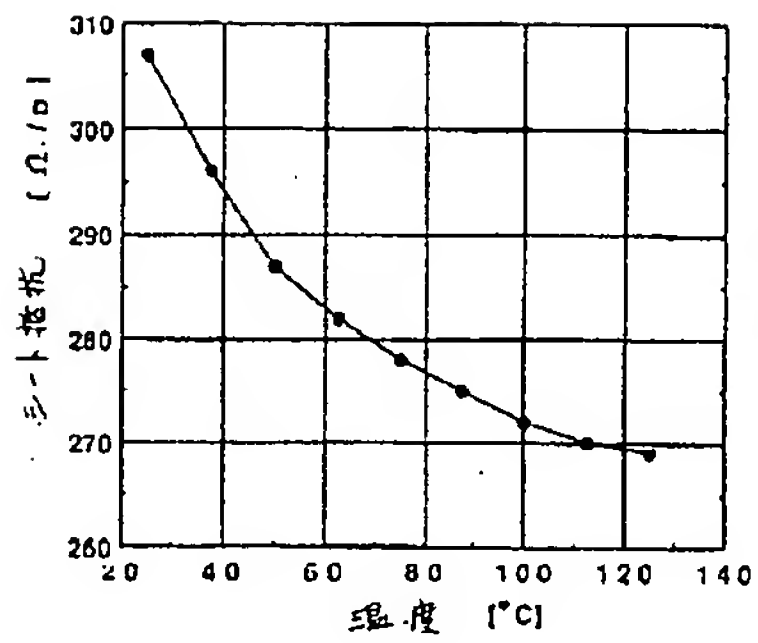
【図3】



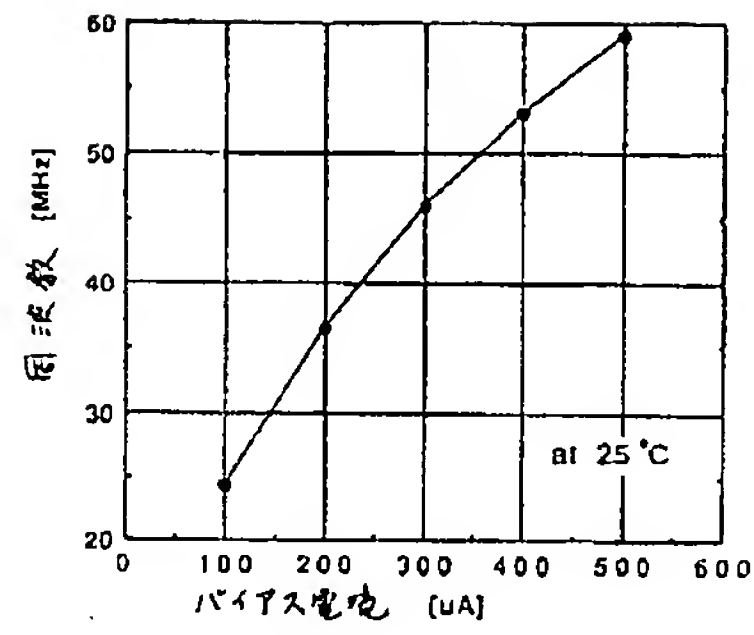
【図4】



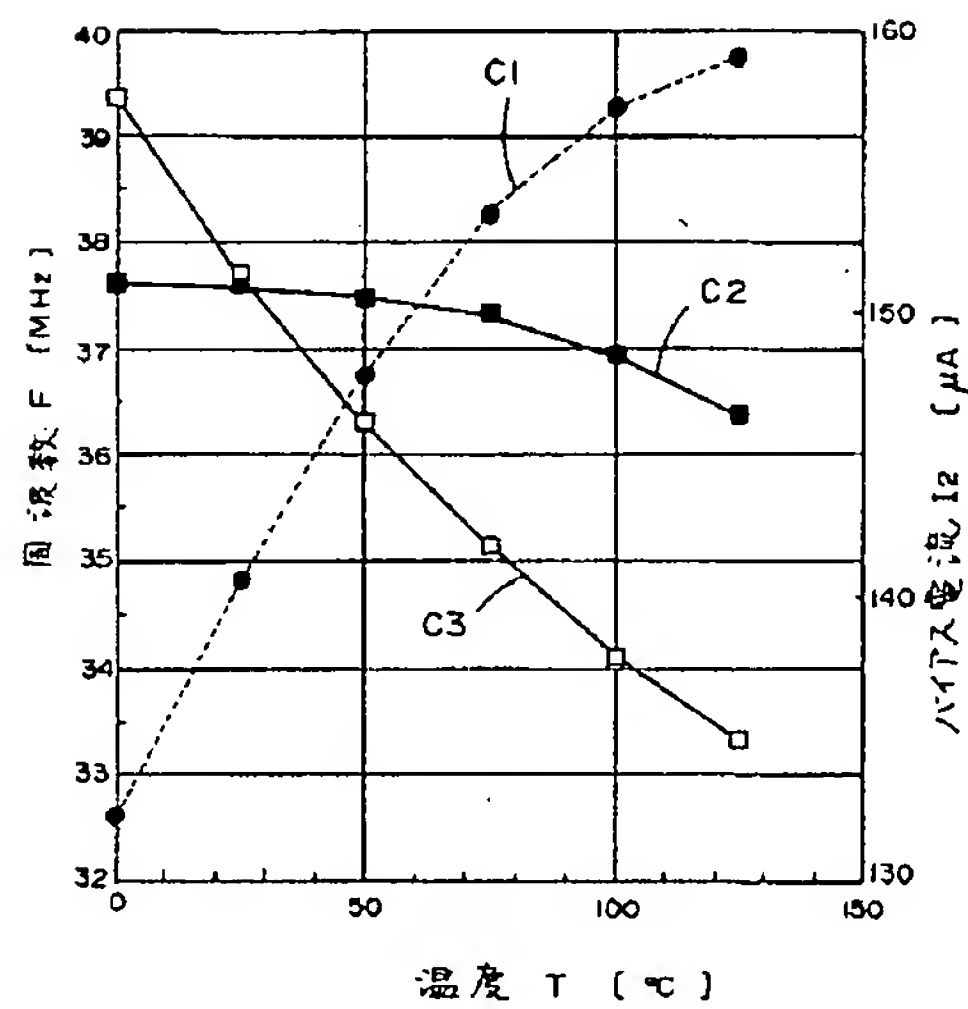
【図5】



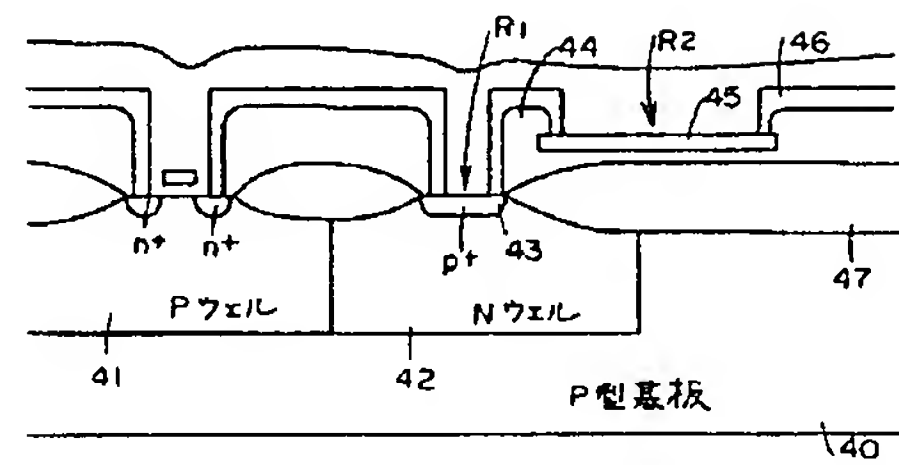
【図6】



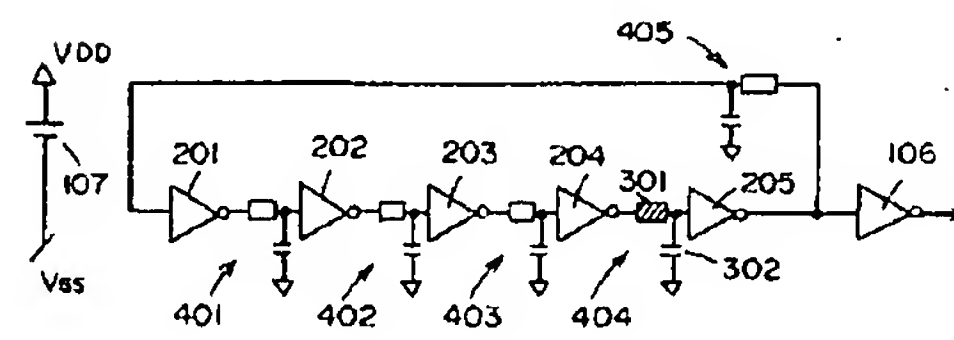
【図7】



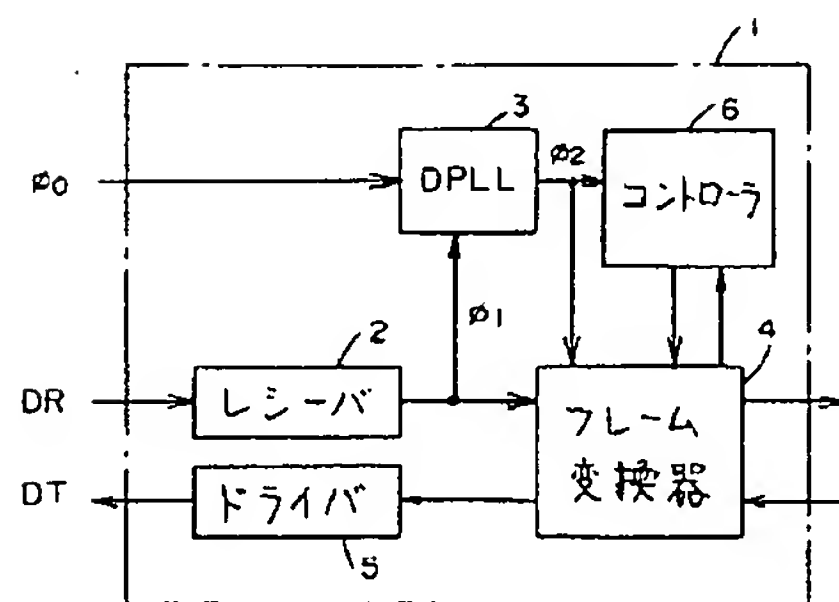
【図8】



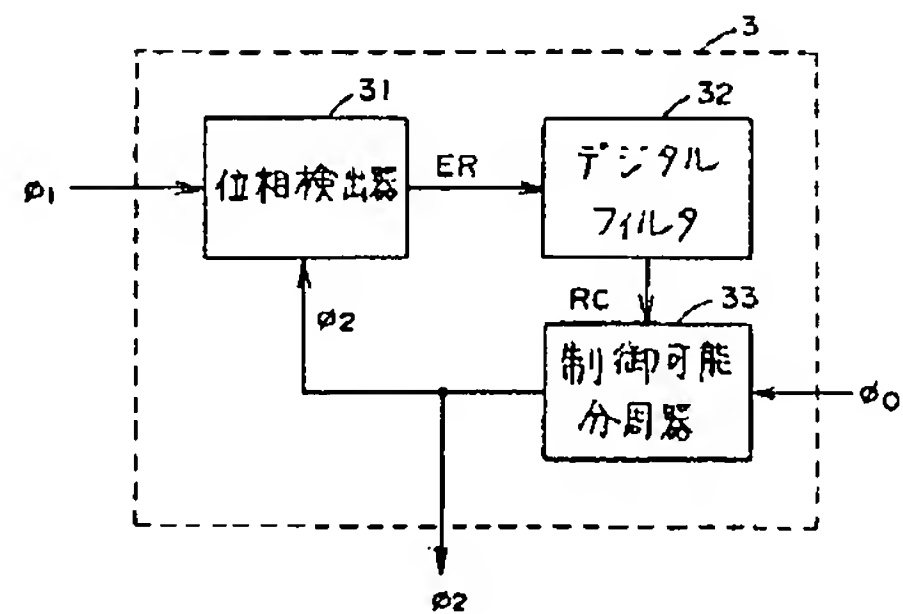
【図13】



【図10】



【図11】



【図12】

